112 邏輯設計實驗二

Lab1 4-bits (unsigned) Add/Subtract Unit Design

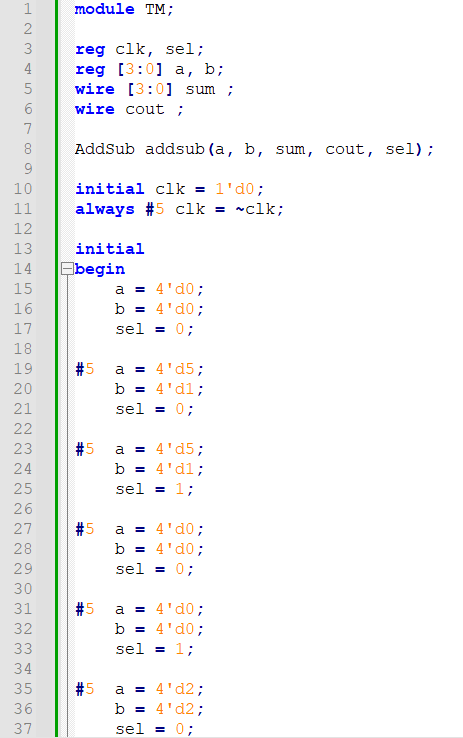
實驗報告

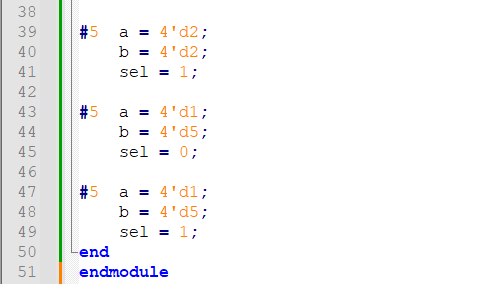
組別：第三組

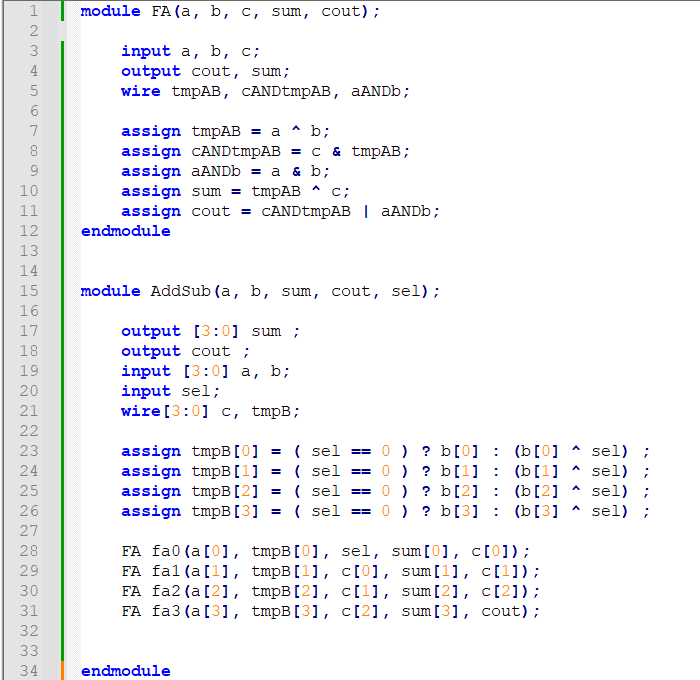
學號：10927202 / 10927207

姓名：陽彩柔 / 蒲品憶

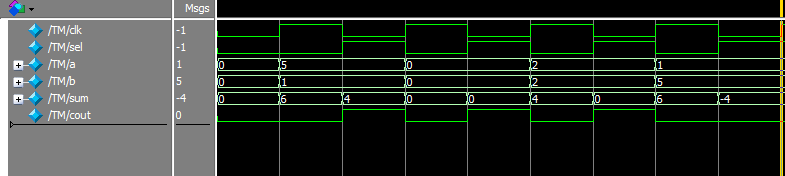
1. **Verilog Code**







1. **模擬waveform**



說明：因為是在做unsigned加減法，若夠減的話cout為1，反之cout為0，例如最後一個測試檔(1 – 5) = 0001 + 1010 + 1 = 1100 ，cout = 0，代表不夠減；(5 –1) = 0101 + 0001 + 1 = 0111，cout = 1，代表夠減。

1. **心得報告**

陽彩柔：雖然每學期都會碰到Verilog，但只要過了一個假期，幾乎就會忘掉很多，在這次的實驗中，我們花了一些時間討論並複習該怎麼打，過程中，我們還額外寫了一個轉換2補數的function，但後來發現是多此一舉，還有我們在參考圖的時候並沒有直接按照圖上邏輯，而是相信自己的判斷，結果嘗試了很久還是沒成功，最後只好去看圖並照著邏輯做出來。透過這次實驗，讓我對verilog受熟悉及了解。

蒲品憶：因為過了一個寒假，所以verilog的程式寫法都忘光光了，需要重新複習，因此這次Lab01做的比較慢，而且一開始我們有些方向錯誤，所以繞了一很多彎路，像是FA我們應該要按照圖片用邏輯判斷，但是我們寫成條件判斷，所以有一些漏洞，還有加減法器只要用sel判斷就好，結果我們又另外寫一個function獨立出來把b轉成2補數，雖然沒有錯，但是多此一舉，造成程式碼重複有點累贅，所以我們之後也做修改，這次實驗讓我撿回很多記憶，非常充實。